

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-078081

(43)Date of publication of application : 21.06.1979

(51)Int.Cl.

H01L 21/302
H01L 21/78

(21)Application number : 52-145091

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.12.1977

(72)Inventor : SHIBASAWA KATSUMI
KUROMARU AKIRA

(54) PRODUCTION OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To facilitate making a wafer into pellets by providing narrow grooves on the surface of the semiconductor wafer where element regions are formed and covering all the surface with a film of copolymer consisting of vinyl chloride and vinyl acetate and etching the wafer from the reverse face to expose narrow grooves and putting the wafer on a stand floor to bend the film while pressing on element regions by a narrow bar.

CONSTITUTION: Narrow grooves 11 are provided on the surface of wafer where plural semiconductor elements 4 and 4' are formed. Next, liquid copolymer consisting of vinyl chloride and vinyl acetate which has an etching-proof property and has an expansion restoration property and a light transmission property after oxidation is applied throughout the surface and is dried, and support film 12 is provided to fill up even narrow grooves 11 sufficiently. After that, wafer 1 is etched from the reverse face to expose the part where support film 12 is filled up, and the outside circumference of support film 12 is held between jigs 10 to put the wafer on element arranging stand floor 4 while giving a tension to film 12. Next, narrow bar 13 is pressed against the surface of wafer 1 to warp both ends of film 12 upward, and wafer 1 is divided from parts of narrow grooves 11 into pellets.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報(A)

昭54—78081

⑪Int. Cl.²
H 01 L 21/302
H 01 L 21/78

識別記号 ⑬日本分類
99(5) A 04

庁内整理番号 ⑭公開 昭和54年(1979)6月21日
7113—5F
6123—5F

発明の数 1
審査請求 未請求

(全 3 頁)

⑮半導体素子の製造方法

⑯特 願 昭52—145091

⑰出 願 昭52(1977)12月5日

⑱発 明 者 柴沢勝巳
川崎市幸区小向東芝町1 東京
芝浦電気株式会社トランジスタ
工場内

⑲発 明 者 黒丸明

川崎市幸区小向東芝町1 東京
芝浦電気株式会社トランジスタ
工場内

⑳出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地

㉑代 理 人 弁理士 井上一男

明 細 書

1. 発明の名称 半導体素子の製造方法
2. 特許請求の範囲

半導体ウェハを分割して複数個の半導体素子に分割するため第1主面に細溝を穿設する工程と、この半導体に対するエッチング耐性と膜化後の伸縮復元性ならびに透光性を有する膜形成剤を第1主面に塗着し乾燥して支持膜に形成するとともに上記膜形成剤が細溝内に延長充填されてなる充填部を形成する工程と、前記半導体ウェハの第2主面にエッチングを施し前記細溝底の充填部の一部を露出せしめる工程と、前記充填部より透視して半導体素子配設予定部位に位置ぎめを施す工程と、前記第1主面側から突いて半導体素子をその配設予定部位に配設する工程とを具備した半導体素子の製造方法。

3. 発明の詳細な説明

この発明は半導体素子の製造方法にかゝり、特に半導体素子が複数個形成された半導体ウェハを個々の半導体素子に分割するための改良された方

法に関する。

通常半導体素子が複数個整列して形成された半導体ウェハ(以降半導体を略称する。半導体素子もこれに倣う)を分割してリードフレーム等に固着する素子の製造工程は次の如く行なわれる。すなわち、特公昭45—4145号公報にも示される如く、一例の第1図にてウェハ(1)は第1主面(上主面)に拡散領域が設けられてなり、この第2主面を接着性のあるプラスチックシート(2)に固着し分割を施す。ついで第2図に示す如く位置決めした上、フィルム側から1個ずつ素子(3)を突く。これにより前記フィルムとの接着面積を低減し接着力が弱められるため、コレット(4)の負圧により素子(3)をシート(2)から容易に離脱せしめることができる。次にコレットに吸着された素子を素子配設予定部のたとえばリードフレームの素子配設台床(図示省略)に搬送し、位置合わせを施したのち負圧を解除しマウントを施すものである。

上記従来の方法によると素子をトランスファするための時間と距離を必要とするため、必然的に

ロスタイムと位置ずれが大きい欠点がある。

この発明は上記従来の欠点を改良するための半導体素子の製造方法を提供するものである。

この発明の半導体素子の製造方法は半導体ウェハを分割して複数個の半導体素子に形成するため第1主面に細溝を穿設する工程と、この半導体に対するエッチング耐性と膜化後の伸縮復元性ならびに透光性とを有する膜形成剤を第1主面に塗着し乾燥して支持膜に形成するとともに上記膜形成剤が細溝内に延長充填されてなる充填部を形成する工程と、前記半導体ウェハの第2主面にエッチングを施し前記細溝底の充填部の一部を露出せしめる工程と、前記充填部より透視して半導体素子配設予定部位に位置ぎめを施す工程と、前記第1主面側から突いて半導体素子をその配設予定部位に配設する工程とを具備したことを特徴とする。

次にこの発明を一実施例の半導体素子の製造方法につき図面を参照して以下詳細に説明する。半導体ウェハ(1)はその第1主面(1a)に複数個の半導体素子(4,4')をなす拡散領域等が形成されてなり、

(3)

し支持膜の充填部の一部を露出せしめる。なお上記エッチングはウェハのエッチング前の厚さと細溝の深さの各寸法差以上に施して好適する(第5図)。また第5図において破線にて表示した部分は上記エッチングにより除去された部分(1)を示す。

次に上記支持膜の外周を治具(10)にて支持膜に張力を付与して第6図に示す如く固定したのち、支持膜の特に充填部を利用して素子をその配設予定部位に位置ぎめを施す。

ついで素子をウェハにおける第1主面側から細溝(13)にて突いてその配設予定部位の、一例としてリードフレームの素子配設台床(14)へ正確にマウントすることができる(第7図)。

この発明によれば素子をトランスファするための時間と距離を要しないので工程の自動化に好適する顕著な利点がある。また工程における素子とその配設予定部位との位置合わせを極めて容易にするとともに装置における位置合わせの調整をも容易にする利点もある。

4. 図面の簡単な説明

(5)

これらの区劃線に一例のダイシングソーやレーザースクライバ等により細溝(13)が第1主面に穿設される(第3図)。なお上記細溝は半導体素子(以降半導体を略称する。半導体ウェハについてもこれに倣う)に求められる厚さにより選定される。

次にこの半導体に対するエッチング耐性を有しかつ膜化後の伸縮復元性ならびに透光性を有する膜形成剤は一例として、塩化ビニールと酢酸ビニールとの共重合体(液状)を第1主面に塗着し乾燥して支持膜(12)に形成する(第4図)。なお上記技術は半導体ウェハの載置台上面を上記塗布形成する支持膜との剝離が容易なる材質ないし表面状態を選定し、ウェハの周縁より載置台上面に延在して塗着し膜化後剝離して選成される。また上記塗着により細溝(13)内に膜形成剤が充填されて充填部(22)をなし、乾燥により硬化し以下に施されるエッチングから素子の側面を被覆保護するとともに、エッチングによつて素子に分断されたのちの素子間を連結保持する。

ついでウェハの第2主面側よりエッチングを施

(4)

第1図および第2図は従来の半導体素子の製造方法を説明するため第1図(a)はシート上のウェハの上面図、同図(b)は一部側面断面図、第2図はシートにウェハを固定し治具に装着した場合の側面断面図、第3図ないし第7図はいずれもこの発明の一実施例の半導体素子の製造方法を説明するためのいずれも側面断面図である。なお図中同一符号は同一または相当部分を夫々示すものとする。

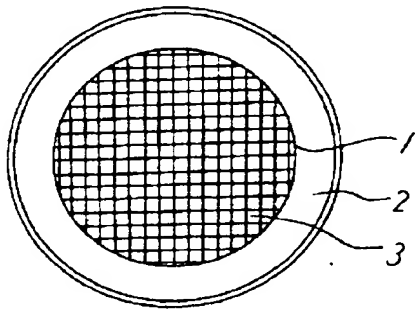
- | | |
|---------------|------------|
| 1…半導体ウェハ | 4,4'…半導体素子 |
| 11…細溝 | 12……支持膜 |
| 13…細溝 | 14…素子配設台床 |
| 22…支持膜における充填部 | |

代理人 井理士 井 上 一 男

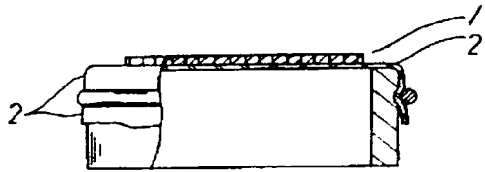
(6)

第 1 図

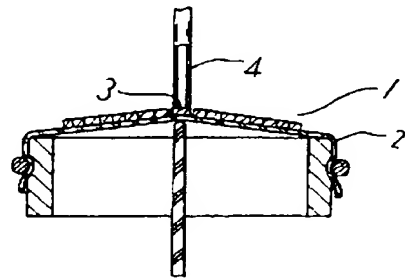
(a)



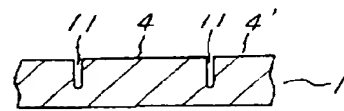
(b)



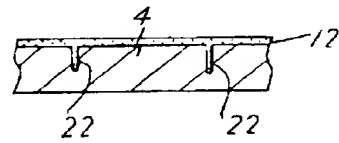
第 2 図



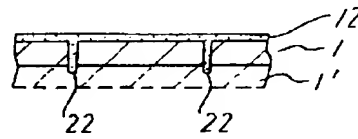
第 3 図



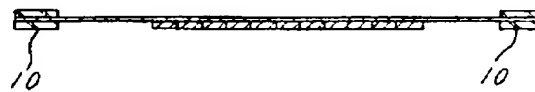
第 4 図



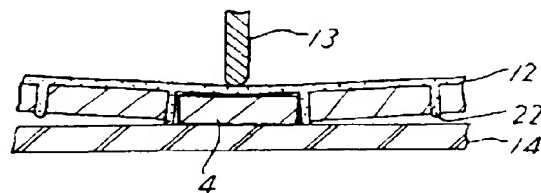
第 5 図

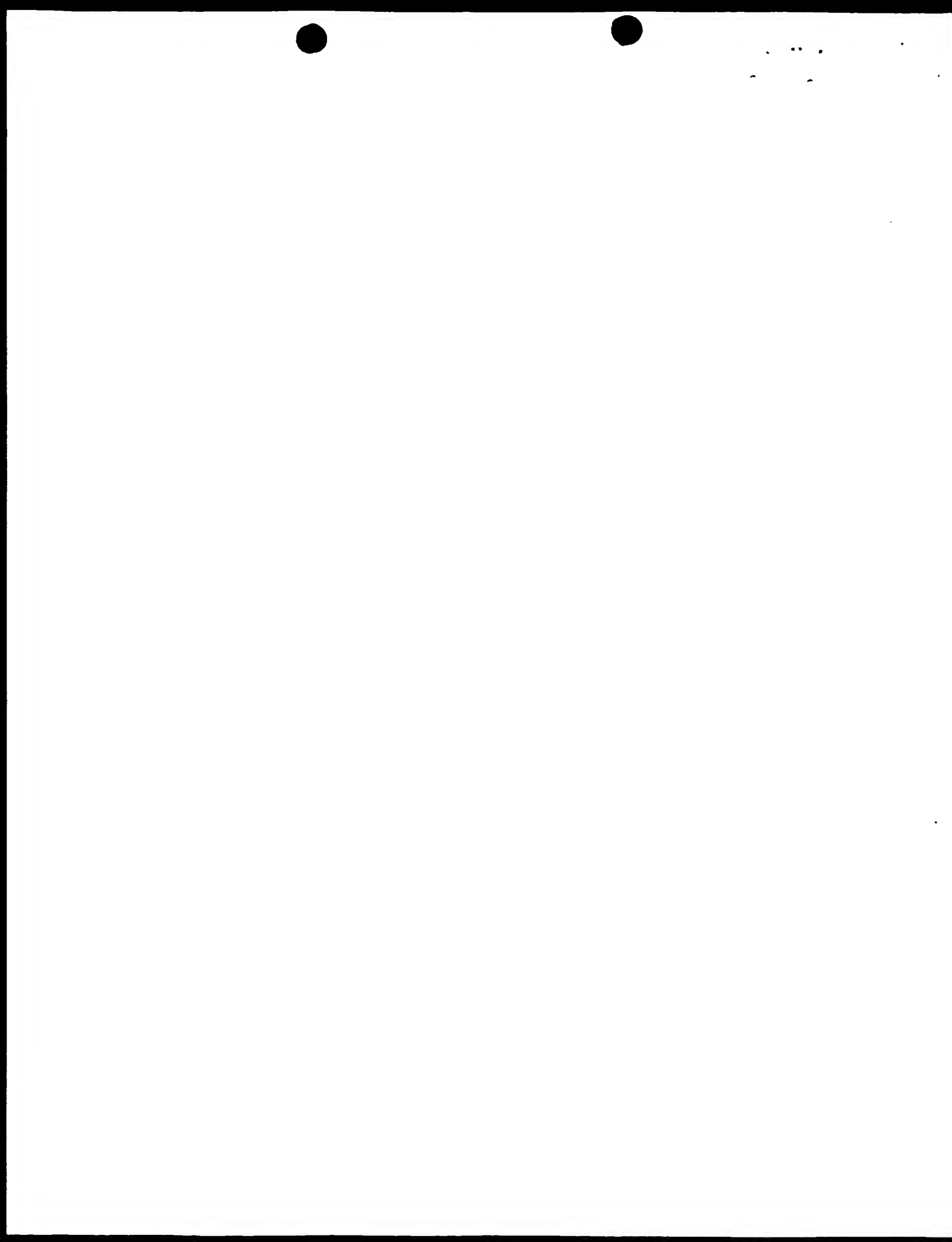


第 6 図



第 7 図







(2,000/1)

43

特

願

(特許法第38条ただし書)
の規定による特許出願
昭和48年 3月 7日

①9 日本国特許庁 公開特許公報

特許庁長官 殿

発明の名称

バンドタイプ
半導体ペレットの製法

特許請求の範囲に記載された発明の要約

発明者

東京都小平市上水本町1450番地
日立製作所武蔵工場内
株式会社日立製作所
日立製作所
日立製作所

特許出願人

東京都千代田区丸の内一丁目5番1号
日立製作所
日立製作所
日立製作所

代理人

東京都千代田区丸の内一丁目5番1号
日立製作所
日立製作所
日立製作所

①特開昭 49-115662

④公開日 昭49.(1974)11.5

②特願昭 48-26147

②出願日 昭48.(1973)3.7

審査請求 未請求 (全3頁)

庁内整理番号

⑤日本分類

7010 57

99(5)C3

7021 57

99(5)A04

特許
48.3.

明 細 書

発明の名称 半導体ペレットの製法

特許請求の範囲

1. 半導体ウェハーの一主面に予め各半導体素子ごとに分離するための溝3を形成し、次に、該溝を含むウェハーの上記主面に耐蝕性物質7を被着させ、然る後、前記耐蝕性物質7が被着させられていない他主面より上記半導体ウェハーを上記溝に至るまでエッチングして各半導体素子を含むペレットごとに分離することを特徴とする半導体ペレットの製法。
2. 上記第1項記載の半導体ペレットの製法において、上記溝内壁に絶縁保護膜4を形成し、次に耐蝕性物質7を被着させることを特徴とする半導体ペレットの製法。

発明の詳細な説明

本発明は半導体ペレットの製法に関する。

半導体装置の製造において、多数個の素子を半導体ウェハー上に形成し、多数素子を含む半導体ペレット別に分割する工程がある。

この半導体ウェハーのペレット分割は、初めにウェハー上の分離しようとする素子間にダイヤモンドスクライバー等で切れ目を入れるいわゆるスクライビングを行ない、次にこの切れ目を基準としてローラー等を用いてウェハーを曲げることによりクラッキングを行ない、分割されたペレットを得ている。

従って、従来半導体ウェハーのペレットの分割作業は、スクライビング及びクラッキングを必要条件とし、しかもこれらの作業はウェハー一枚ごとでなければ処理できないという点で作業能率が悪いものとなった。

それに、かかる分割方法により得られた半導体ペレットを用いて、例えば、DHDダイオード(ダブルヒートリンクダイオード)を組立てた場合、上記切断時のペレットの破片や、外部よりガラス管内に侵入した金属小片等の導電性異物等がペレット側面の絶縁性保護膜で覆われていない部分とガラス管外部に導出するための電極リードとの間に付着することがたびたびあり、そのために両者

の間が短絡し、ダイオード不良が続出した。

そこで、本願発明者はかかる欠点を除去するために、半導体ウェハーのペレット分割作業を多数枚一括して分割し、また、ウェハー切断時の破片の発生をなくするような分割方法はないかと考え、また、導電性異物が半導体ペレットの側面と電極リードとの間に付着した場合についても考慮にいられて本発明をなした。

本発明の第1の目的は、半導体ウェハーのペレット分割作業能率の向上を図ることにあり、本発明の第2の目的は、半導体ウェハーの分離時の破片の発生をなくして、導電性異物による半導体装置の短絡を防止することにあり、本発明の第3の目的は、側面が絶縁保護膜で覆われた半導体ペレットを得ることにある。

上記目的を達成するための本発明の基本的構成は、半導体ウェハーの一主面に予め各半導体素子ごとに分離するための溝を形成し、次に、該溝を含むウェハー上記主面に耐蝕性物質を被着させ、然る後前記耐蝕性物質が被着されてない他主面よ

(c) 隣り合う溝3との間のウェハー表面平坦部に、絶縁保護膜4の一部を除去して、P型不純物（アクセプタ）を拡散し、P型拡散領域5を形成し、電極6を蒸着及びその後の選択エッチングにより形成する。

(d) 溝3を含むウェハー上面に耐蝕性物質7、例えばアビエゾソワックス、エレクトロンワックス（いずれも商品名）を塗布し、ウェハー表面を厚く被う。

(e) ワックスを塗布した半導体ウェハー1を多数枚一括して、エッチング液内に浸漬して、耐蝕性物質7が施されてない面より、溝3に至るまでエッチングを行なう。

(f) 然る後、有機溶剤あるいは専用の剥離剤で耐蝕性物質7を溶かし、各半導体ペレットごとに分離し、側面部が絶縁保護膜4で被われた半導体ペレット4を得る。

以上、実施例により説明したように、本発明によれば下記の理由でその目的が達成でき、かつその効果がもたらされる。

特開 1248-115662 (2)

り上記半導体ウェハーを上記溝に至るまでエッチングして各半導体素子を含むペレットごとに分離することを特徴とする。

本発明の他の構成は、上記構成の半導体ペレットの製法において、上記溝内壁に絶縁性保護膜を形成し、次に耐蝕性物質を被着させることを特徴とする。

以下、図面を参照しながら本発明を詳細に説明する。

図面は本発明の半導体ペレットの製法の一例を工程順に示したものである。

(a) N型の半導体ウェハー1を用意して、ウェハーの一主面にエピタキシャル成長技術により、N型の半導体層2を形成し、各半導体ペレットごとに分離するためのEP層2の厚さを通りこし、ウェハーの厚さの約半分に達する十分に深い溝3をホトエッチングにより形成する。

(b) この溝3の内壁を含む半導体ウェハー1表面にCVD法（気相成長法または熱酸化法）によりSiO₂膜からなる絶縁保護膜4を形成する。

(1) ウェハー状態で一括処理が可能になり、半導体ウェハーの分離作業の能率の向上が図れる。

(2) エッチングによる半導体ウェハーの分離のため、シリコン破片の発生を防止でき、従って、導電性異物による半導体装置の短絡を防止することができる。

(3) 半導体ペレットの側面部が絶縁保護膜で被われているため、もし導電性異物が半導体ペレットの側面と電極リードとの間に付着しても、半導体装置の短絡は防止できる。

本発明の実施例の絶縁保護膜はSiO₂膜以外の絶縁保護膜でも適用できるものである。

本発明は、IC、LSI、トランジスタ等の半導体ウェハーを各半導体ペレットごとに分離する工程がある全ての半導体ペレットの製法に適用できる。

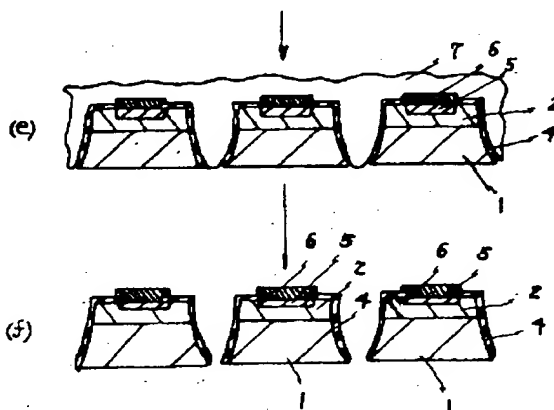
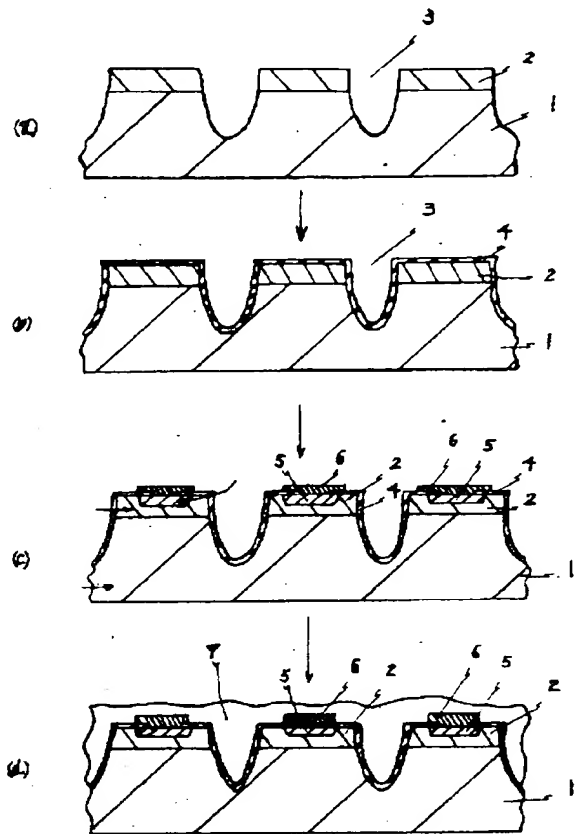
図面の簡単な説明

図面は本発明の一実施例を工程順に示したもので、(a)～(f)は各工程の断面図である。

1…半導体ウェハー、2…エピタキシャル半導

体、3…溝、4…絶縁保護膜、5…P型拡散領域、6…電極、7…耐蝕性物質。

代理人 弁理士 薄 田 利 幸



添附書類の目録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 発 明 状 1 通
- (4) 特 許 願 本 1 通

前記以外の発明者、特許出願人または代理人

発 明 者

コダイシスエスイホニチウ
東京都小平市上水本町1450番地
日立製作所武蔵工場内
株式会社
フジ イ ヒデ ハル
藤 井 秀 春

